



Docket No. 243203US2RD/tca

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hideki SATAKE
SERIAL NO: 10/670,279

GAU: 2811
EXAMINER:

FILED: September 26, 2003

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

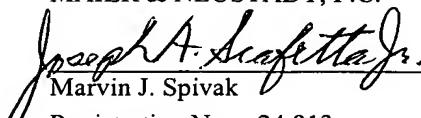
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-282441	September 27, 2002
JAPAN	2003-320316	September 11, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913
Joseph A. Scafetta, Jr.
Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

10/670,279

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 9月27日

出願番号

Application Number:

特願2002-282441

[ST.10/C]:

[JP2002-282441]

出願人

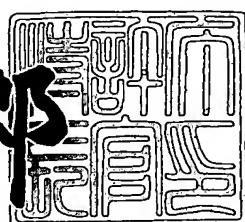
Applicant(s):

株式会社東芝

2003年 2月21日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009701

【書類名】 特許願
【整理番号】 13B0270221
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/78
【発明の名称】 半導体装置及びその製造方法
【請求項の数】 9
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
研究開発センター内
【氏名】 佐竹 秀喜
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100083161
【弁理士】
【氏名又は名称】 外川 英明
【電話番号】 (03)3457-2512
【手数料の表示】
【予納台帳番号】 010261
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】

第一導電型の半導体基板と、この半導体基板の表面に形成されたチャネル領域と、このチャネル領域の両側の前記半導体基板に形成された第二導電型のソース・ドレイン領域と、前記チャネル領域を覆うように形成された絶縁膜と、この絶縁膜上に形成されたゲート電極とを有する半導体装置において、前記絶縁膜にB、C、N、F、P、S、Cl、As、Se、Brのいずれかの原子の濃度が前記半導体基板に平行な面内において不規則に変動されていることを特徴とする半導体装置。

【請求項2】

前記絶縁膜に不規則に形成された原子の最大濃度が最低濃度の2倍より大きく設計されていることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記絶縁膜に不規則に形成された原子の最大濃度が 10^{19}cm^{-3} よりも大きく設計されていることを特徴とする請求項1記載の半導体装置。

【請求項4】

第一導電型の半導体基板上に絶縁層を形成する工程と、この絶縁層上に導電層を形成する工程と、前記導電層にB、C、N、F、P、S、Cl、As、Se、Brのいずれかの原子を不規則に導入する工程と、この導電層中に不規則に導入された原子を前記半導体基板に平行な面内において濃度が不規則になるように前記絶縁層に拡散する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】

前記導電層にB、C、N、F、P、S、Cl、As、Se、Brのいずれかの原子を不規則に導入する工程は、前記導電層表面に選択的にレジストを残存させ前記原子を不規則に導入し形成することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】

前記導電層にB、C、N、F、P、S、Cl、As、Se、Brのいずれかの原子を不規則に導入する工程は、前記導電層表面に凹凸を形成し前記原子を不規則に導入し形成

することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】

前記導電層表面に凹凸を形成する工程を反応性イオンエッチング法によって形成することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】

前記導電層表面に凹凸を形成する工程を等方性ドライエッチング法によって形成することを特徴とする請求項6記載の半導体装置の製造方法。

【請求項9】

前記導電層表面に凹凸を形成する工程をウェットエッチング法によって形成することを特徴とする請求項6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係り、特にゲート酸化膜などの薄い絶縁膜の信頼性の改善を図ったMOS (Metal-Oxide-Semiconductor) 型半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

近年、LSI (Large Scaled Integrated Circuit) の高性能化・高速化に従って、MOSトランジスタの微細化が進んでいる。これに伴って、MOSトランジスタのゲート絶縁膜も急速に薄膜化しており、極薄膜のシリコン絶縁膜を均一にかつ高い信頼性で形成する技術が求められている。図8は、擬似破壊寿命 (T_{SB}) および、擬似破壊を起こしてから完全破壊に至るまでの寿命 (T_{HB}) のストレス印加電圧依存性を示した図である。図中の△印は T_{SB} を、また、黒○は T_{HB} を示している。図から明らかにわかるように、ゲート電圧 (V_g) < -2.5V以下の領域においては、 T_{HB} よりも T_{SB} のほうが大きくなる。このことは、素子の微細化が進んで電源電圧が低下した場合には、一旦、擬似破壊を起こした場合のほうが、完全破壊を起こし難いことを示している。絶縁破壊モードとして擬似破壊 (SBD: Soft Break Down) を起こした素子のほうが最終的に完全

破壊（HBD : Hard Break Down）に到達するまでの寿命が長いことが報告されている（例えば、非特許文献1参照。）。つまり、SBDを意図的に起こすことができれば、最終的に完全破壊に到達するまでの時間が長くなり、結果的に素子の寿命を長くする事ができる。しかしながら、ゲート絶縁膜の絶縁破壊の起き方がSBDとなるか、あるいはHBDとなるかは確率的に偶然に左右されるものがあるので、SBDのみを選択的に起こさせることは、従来はたいへん難しい問題であった。

【0003】

【非特許文献1】

K. Okada et al., 「A Concept of Gate Oxide Lifetime Limited by "B-mode" Stress Induced Leakage Currents in Direct Tunneling Regime」 Symposium on VLSI Technology Digest of Technical Paper, 1999 p.57-58

【0004】

【発明が解決しようとする課題】

上記のように、ゲート絶縁膜の破壊の起き方は、一般的にSBDが起きてからHBDへ進行するものと考えられているが、SBDが起きてからHBDへ至るまでの時間に関しては、技術的に制御しがたいという問題があった。

【0005】

本発明は、上記事情を考慮してなされたものであって、ゲート絶縁膜への不純物元素の不均一な導入によって、電気的にストレスに弱い欠陥を多く作るが、不必要に多くの欠陥を導入することなく、高信頼性プロセスのゆらぎを利用し、ゲート絶縁膜の絶縁破壊をSBDに留めうるようにしたことを特徴としている。これにより、ゲート絶縁膜の完全絶縁破壊寿命を伸張させることができると構造と、容易にかつ低成本で高信頼性を有する半導体装置及びその製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明の第1の態様による半導体装置は、第一導電型の半導体基板と、この半導体基板の表面に形成されたチャネル領域と、このチャネル領域の両側の前記半

導体基板に形成された第二導電型のソース・ドレイン領域と、チャネル領域を覆うように形成された絶縁膜と、この絶縁膜上に形成されたゲート電極とを有する半導体装置において、絶縁膜にB、C、N、F、P、S、Cl、As、Se、Brのいずれかの原子が半導体基板に平行な面内において不規則に変動されていることを特徴とする

なお、絶縁膜に不規則に形成された原子の最大濃度は最低濃度の2倍より大きく形成されていることが好ましい。

【0007】

なお、絶縁膜に不規則に形成された原子の最大濃度は 10^{19}cm^{-3} よりも大きく形成されていることが好ましい。

【0008】

また、本発明の第2の態様による半導体装置の製造方法は、第一導電型の半導体基板上に絶縁層を形成する工程と、この絶縁層上に導電層を形成する工程と、導電層にB、C、N、F、P、S、Cl、As、Se、Brのいずれかの原子を不規則に導入する工程と、この導電層中に不規則に導入された原子を半導体基板に平行な面内において濃度が不規則になるように絶縁層に拡散する工程とを有することを特徴とする。

【0009】

なお、導電層にB、C、N、F、P、S、Cl、As、Se、Brのいずれかの原子を不規則に導入する工程は、導電層表面に選択的にレジストを残存させ前記原子を不規則に導入し形成する。

【0010】

なお、導電層にB、C、N、F、P、S、Cl、As、Se、Brのいずれかの原子を不規則に導入する工程は、導電層表面に凹凸を形成し前記原子を不規則に導入し形成しても良い。

【0011】

なお、導電層表面に凹凸を形成する工程は反応性イオンエッティング法によって形成しても良い。

【0012】

なお、導電層表面に凹凸を形成する工程は等方性ドライエッチング法によって形成しても良い。

【0013】

なお、導電層表面に凹凸を形成する工程はウェットエッチング法によって形成しても良い。

【0014】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施形態を説明する。

(第1実施形態)

本発明の第1の実施形態によるMOS型半導体装置の断面構成を図1に示す。この実施形態によるMOS型半導体装置は、例えば、面方位(100)、比抵抗4~6Ωcmのn型シリコン基板1の表面に深さ $0.6\mu m$ 程度の素子分離領域2aおよび2bが形成されている。この領域に、熱酸化によって例えば厚さ2~8nmのゲート酸化膜4a、さらにこの上にゲート電極として厚さ200nmの多結晶シリコン膜5aが形成されている。このゲート電極中にはゲート電極の低抵抗化のためにドーパントとして例えばリンが $3\sim 5\times 10^{20} cm^{-3}$ 含有されている。ゲート酸化膜4a中には、不純物として例えば $1\times 10^{19}\sim 1\times 10^{20} cm^{-3}$ のフッ素原子が含有されており、かつ、シリコン基板1表面に平行な面内において、最大フッ素濃度と最低フッ素濃度が2倍以上異なるように分布されている。さらにゲート電極の両側には、一対のソース／ドレイン拡散層となる不純物層10が形成されており、この拡散層表面にはチタンシリサイド膜13が形成されている。また、このゲート電極周辺にはシリコン窒化膜などからなるゲート側壁11が形成され、全面に堆積されたシリコン酸化膜14に開孔されたコンタクトホール15を介して、ゲート電極及びソース／ドレイン拡散層にアルミニウム電極16が形成されている。

【0015】

以上説明したように、本実施形態によれば、ゲート酸化膜中には、不純物として例えば $1\times 10^{19}\sim 1\times 10^{20} cm^{-3}$ のフッ素原子が含有しており、かつ、シリコン基板1表面に平行な面内において、最大フッ素濃度と最低フッ素濃度が2倍以上異なるように分布しているため、ゲート絶縁膜の絶縁破壊を擬似破壊に留め、ゲ

ト絶縁膜の完全絶縁破壊寿命を伸張させることを可能にすることができる。

【0016】

なお、本実施形態においては、ゲート酸化膜中には、不純物として例えば $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ のフッ素原子が含有されているが、フッ素に限らず、B、C、N、F、P、S、Cl、As、Se、Brの原子のいずれであっても良い。

(第2実施形態)

次に、本発明の第2実施形態を図2および図7を参照して説明する。この第2実施形態は、半導体装置の製造方法であって、その製造工程を図2に示す。

【0017】

まず、例えば面方位(100)、比抵抗 $4 \sim 6 \Omega \text{cm}$ のn型シリコン基板1を用意し、このn型シリコン基板の表面に通常のSTI (Shallow Trench Isolation) 法によって深さ $0.6 \mu\text{m}$ 程度の素子分離領域2aおよび2bを形成する(図2(a)参照)。

【0018】

次に、例えば 750°C の温度において、酸素ガスと水素ガスの混合気体中に晒して、例えば厚さ $3 \sim 8 \text{ nm}$ の酸化膜4を形成し、この上にゲート電極として厚さ 200 nm の多結晶シリコン膜5を形成する(図2(b)参照)。

【0019】

次いで、レジスト8を全面に塗布後、例えば、過酸化水素水溶液を3kgに硫酸5kgを加えた薬液中に、約10分間、浸漬してレジストを溶かすレジストエッチバック法によりレジストを剥離し、多結晶シリコン膜5の上面に、部分的に高さが 100 nm のレジストを残存させる。続いて、例えば加速電圧 10 keV で、ドーザ量 $1 \times 10^{14} \text{ cm}^{-2}$ のフッ素イオン6をイオン注入し、多結晶シリコン膜5中にフッ素原子を導入する(図2(c)参照)。

【0020】

さらに、例えば 1000°C の窒素ガス雰囲気中に10秒間晒して、多結晶シリコン膜5中のフッ素原子を酸化膜4中に拡散させる。ここにおいて、多結晶シリコン膜5中に不規則にフッ素原子が導入されているため、図中に破線で示したように、ゲート酸化膜4中において、シリコン基板1表面に平行な面内においては、不規則な濃度分布を有している(図2(d)参照)。図2(c)の工程で、フッ素イオン注入

を行っているが、このイオン注入を複数回に分け、インプラのゆらぎを使用し、不規則な濃度分布としても良い。図2(c)の工程で、レジストが部分的に残存しているため、この荒れた面にイオン注入を行うと、導入される原子のプロファイルがゆらぎ、後の熱処理によってゲート絶縁膜中に導入した原子のプロファイルもゆらぎ、膜質に与える影響も不均一になる。

【0021】

図5は、フッ素のドーズ量を変えた時の、絶縁破壊に至るまでにゲート酸化膜を通過した総電子量Qbd分布の変化を示している。図5からわかるように、フッ素のドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ よりも大きくなると、急激に寿命が短くなる。つまり、フッ素原子が過剰に入った領域では、ゲート酸化膜の劣化を促進してしまう。ここにおいて、ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ の場合の、ゲート酸化膜中のフッ素原子濃度は、 $1 \times 10^{14} \text{ cm}^{-2}$ の場合と比較して、2倍以上の値となっていることを確認している。

【0022】

次に、レジストマスクを用いて反応性イオンエッティング法により多結晶シリコン5及び酸化膜4をエッティングして、MOSトランジスタ領域のゲート電極5a及びゲート絶縁膜4aを形成する。続いて、前記レジストマスクを除去した後、BF₂イオンを、例えば加速電圧30 keVでドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、拡散層領域10を形成する。次いで、LP-CVD(Low Pressure Chemical Vapor Deposition)法を用いてゲート部の側壁に、例えば厚さ10 nmのシリコン窒化膜からなる側壁絶縁膜11を形成する(図2(e))。

【0023】

さらに、窒素雰囲気中で例えば750~950°C、1~100分間の熱処理を行い、ゲート電極中のドーパント及びソース/ドレイン拡散層中のドーパントを活性化させる。さらに、全面に例えば厚さ300 nmのシリコン酸化膜14をCVD(Chemical Vapor Deposition)法により堆積した後、異方性ドライエッティングによりシリコン酸化膜にコンタクトホール15を開口する。その後、シリコン、銅をそれぞれ例えば0.5%ずつ含有する厚さ800 nmのアルミニウム膜を形成した後、これをパターニングしてAl電極16を形成する。最後に、450°Cで15分間水素を10%含む窒素雰囲気で

熱処理する(図2(f))。

【0024】

以上により、本発明の第2の実施態様に係るpチャネルMOSトランジスタが完成する。

【0025】

図6および図7に、本発明で得られたゲート絶縁膜を用いたMOSキャパシタでの電子の総量Qbdのワイブルプロットおよび初期不良頻度を示す。図6は、ゲート酸化膜が絶縁破壊に至るまでに膜中を通過した電子の総量Qbdのワイブルプロットを示している。素子面積は 0.1 mm^2 のものを用いている。縦軸は累積不良率に対応する値、横軸にQbdを取っている。従来例の実験結果は全て完全破壊を起こしているものであり、黒□印で示した。また、本発明の手法で得られた素子の測定結果を擬似破壊に関しては黒○印で、完全破壊に関しては△印で表示している。図からわかるように、本発明の手法を用いると、擬似破壊成分が増加していることが明瞭にわかる。図7は、面積が大きい 1 mm^2 のMOSキャパシタの電流電圧特性を測定した場合に、擬似破壊を起こす頻度をプロットしたものである。本発明のプロセス(Damagedと表示)では、約80%のキャパシタにおいて擬似破壊が観測される。一方、従来のプロセス(Referenceと表示)では、約5%のMOSキャパシタで擬似破壊が観測されるのみであり、明瞭な相違が見られる。つまり、図6および図7に見られるように、本発明によるゲート酸化膜をMOSキャパシタに用いた場合においては、きわめて効率的に擬似破壊が起きていることがわかる。

(第3実施形態)

次に、本発明の第3実施形態を図3を参照して説明する。この第3実施形態は、半導体装置の製造方法であって、そのpチャネルMOSトランジスタの製造工程を図3に示す。

【0026】

まず、例えば面方位(100)、比抵抗 $4\sim6\ \Omega\text{cm}$ のn型シリコン基板1を用意し、このn型シリコン基板の表面に通常のSTI(Shallow Trench Isolation)法によって深さ $0.6\ \mu\text{m}$ 程度の素子分離領域2aおよび2bを形成する(図3(a)参照)。

【0027】

次に、例えば750 °Cの温度において、酸素ガスと水素ガスの混合気体中に晒して、例えば厚さ3~8 nmの酸化膜4を形成し、この上にゲート電極として厚さ20 nmの多結晶シリコン膜5を形成する（図3 (b)参照）。

【0028】

次いで、ウェットエッチング法、例えば、ケミカルドライエッティング法を用いて、多結晶シリコン膜5の上面に凹凸を形成する。この方法を用いると結晶粒界でエッティング速度が早いことに加えて（111）面のファセットの効果を期待でき、これによるゆらぎも加えられる。さらに、例えば加速電圧10 keVで、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ のフッ素イオン6をイオン注入し、多結晶シリコン膜5中にフッ素原子を導入する（図3 (c)参照）。

【0029】

さらに、例えば1000 °Cの窒素ガス雰囲気中に10秒間晒して、多結晶シリコン膜5中のフッ素原子を酸化膜4中に拡散させる。ここにおいて、ゲート電極の多結晶シリコン膜5中に不均一にフッ素原子が導入されているため、図中に破線で示したように、酸化膜4中においても、シリコン基板1表面に平行な面内において、不規則な濃度に分布を有している（図3 (d)参照）。

【0030】

次に、レジストマスク9を用いて反応性イオンエッティング法により多結晶シリコン5をエッティングして、MOSトランジスタ領域のゲート電極5aを形成する。続いて、前記レジストマスクを除去した後、BF₂イオン6を、例えば加速電圧20 keVでドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、拡散層領域10を形成する。次いで、LP-CVD法を用いてゲート部の側壁に、例えば厚さ10 nmのシリコン窒化膜からなる側壁絶縁膜11を形成する。続いてBF₂イオンを、例えば加速電圧20 keV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、ソース／ドレイン拡散層13を形成する（図3 (e)参照）。

【0031】

さらに、窒素雰囲気中で例えば750~950°C、1~100分間の熱処理を行い、ゲート電極中のドーパント及びソース／ドレイン拡散層中のドーパントを活性化させ

る。さらに、全面に例えれば厚さ300 nmのシリコン酸化膜14をCVD法により堆積した後、異方性ドライエッティングによりシリコン酸化膜にコンタクトホール15を開口する。その後、シリコン、銅をそれぞれ例えれば0.5 %ずつ含有する厚さ800 nmのアルミニウム膜を形成した後、これをパターニングしてAl電極16を形成する。最後に、450°Cで15分間水素を10%含む窒素雰囲気で熱処理する。（図3(f)参照）

以上により、本発明の第3の実施態様に係るpチャネルMOSトランジスタが完成する。

（第4実施形態）

図4は本発明の第4の実施形態に係るpチャネルMOSトランジスタの製造方法を示す工程断面図である。

【0032】

まず、例えば面方位(100)、比抵抗4~6 Ω cmのn型シリコン基板1を用意し、このn型シリコン基板の表面に通常のSTI (Shallow Trench Isolation) 法によって深さ $0.6\mu\text{m}$ 程度の素子分離領域2aおよび2bを形成する（図4(a)参照）。

【0033】

次に、例えば750 °Cの温度において、酸素ガスと水素ガスの混合気体中に晒して、例えは厚さ3~8 nmの酸化膜4を形成し、この上にゲート電極として厚さ20 nmの多結晶シリコン膜5を形成する（図4(b)参照）。

【0034】

次いで、シリコン基板の裏面にレジストを塗布した後、例えは濃度を1 %とした水酸化カリウム溶液に例えれば1分間浸し、多結晶シリコン膜5の上面に凹凸を導入する。次にレジストを剥離後、多結晶シリコン膜5中に、例えは加速電圧10 keVで、ドーズ量 $1\times10^{14}\text{cm}^{-2}$ のフッ素イオン6をイオン注入し、多結晶シリコン膜5中にフッ素原子を導入する（図4(c)参照）。

【0035】

さらに、例えは1000 °Cの窒素ガス雰囲気中に10秒間晒して、多結晶シリコン膜5中のフッ素原子を酸化膜4中に拡散させる。ここにおいて、ゲート電極の多結晶シリコン膜5中に不均一にフッ素原子が導入されているため、図中に破線で示

したように、酸化膜4中においても、シリコン基板1表面に平行な面内において、フッ素原子が不規則な濃度で分布している（図4(d)参照）。

【0036】

次に、レジストマスク9を用いて反応性イオンエッチング法により多結晶シリコン5及び酸化膜4をエッチングして、MOSFET領域のゲート電極5a及びゲート酸化膜4aを形成する。続いて、前記レジストマスクを除去した後、BF₂イオン6を、例えば加速電圧20 keVでドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ の条件でイオン注入し、拡散層領域10を形成する。次いで、LP-CVD法を用いてゲート部の側壁に、例えば厚さ10 nmのシリコン窒化膜からなる側壁絶縁膜11を形成する（図4(e)参照）。

【0037】

さらに、窒素雰囲気中で例えば750～950°C、1～100分間の熱処理を行い、ゲート電極中のドーパント及びソース／ドレイン拡散層中のドーパントを活性化させる。さらに、全面に例えば厚さ300 nmのシリコン酸化膜14をCVD法により堆積した後、異方性ドライエッチングによりシリコン酸化膜にコンタクトホール15を開口する。その後、シリコン、銅をそれぞれ例えば0.5 %ずつ含有する厚さ800 nmのアルミニウム膜を形成した後、これをパターニングしてAl電極16を形成する。最後に、450°Cで15分間水素を10%含む窒素雰囲気で熱処理する（図4(f)参照）。

【0038】

以上により、本発明の第4の実施形態に係るpチャネルMOSトランジスタが完成する。

【0039】

本発明の実施態様においては、ゲート絶縁膜として、シリコン熱酸化膜を例に挙げて説明しているが、これに限定されるものではなく、窒素を含有する酸化膜、窒化膜、それ以外の高誘電体膜でも実施可能であり、また熱酸化のみならず、マイクロ波やレーザーで活性化した酸素を用いた酸化膜でも同様の効果が得られる。また、破壊現象のゆらぎを用いた素子にも使用可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施可能である。

【0040】

【発明の効果】

本発明によれば、ゲート絶縁膜の絶縁破壊を擬似破壊に留め、ゲート絶縁膜の完全絶縁破壊寿命を伸張させることを可能にすることができる、簡便な手法で、高信頼性を有するゲート絶縁膜からなるMOSトランジスタを形成することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態によるMOS型トランジスタの構成を示す断面図

【図2】 本発明の第2実施形態によるMOS型トランジスタの製造方法の製造工程断面図。

【図3】 本発明の第3実施形態によるMOS型トランジスタの製造方法の製造工程断面図。

【図4】 本発明の第4実施形態によるMOS型トランジスタの製造方法の製造工程断面図。

【図5】 フッ素のドーズ量を変えた場合の、絶縁破壊が起きるまでにゲート酸化膜を通過した電子総量Qbdの累積不良分布を示す図。

【図6】 本発明により作製したMOSキャパシタの寿命分布を示す図。

【図7】 本発明により作製したMOSキャパシタの初期擬似破壊頻度を示す図。

【図8】 擬似破壊を起こしたMOS構造において、完全破壊寿命が長くなることを示す図。

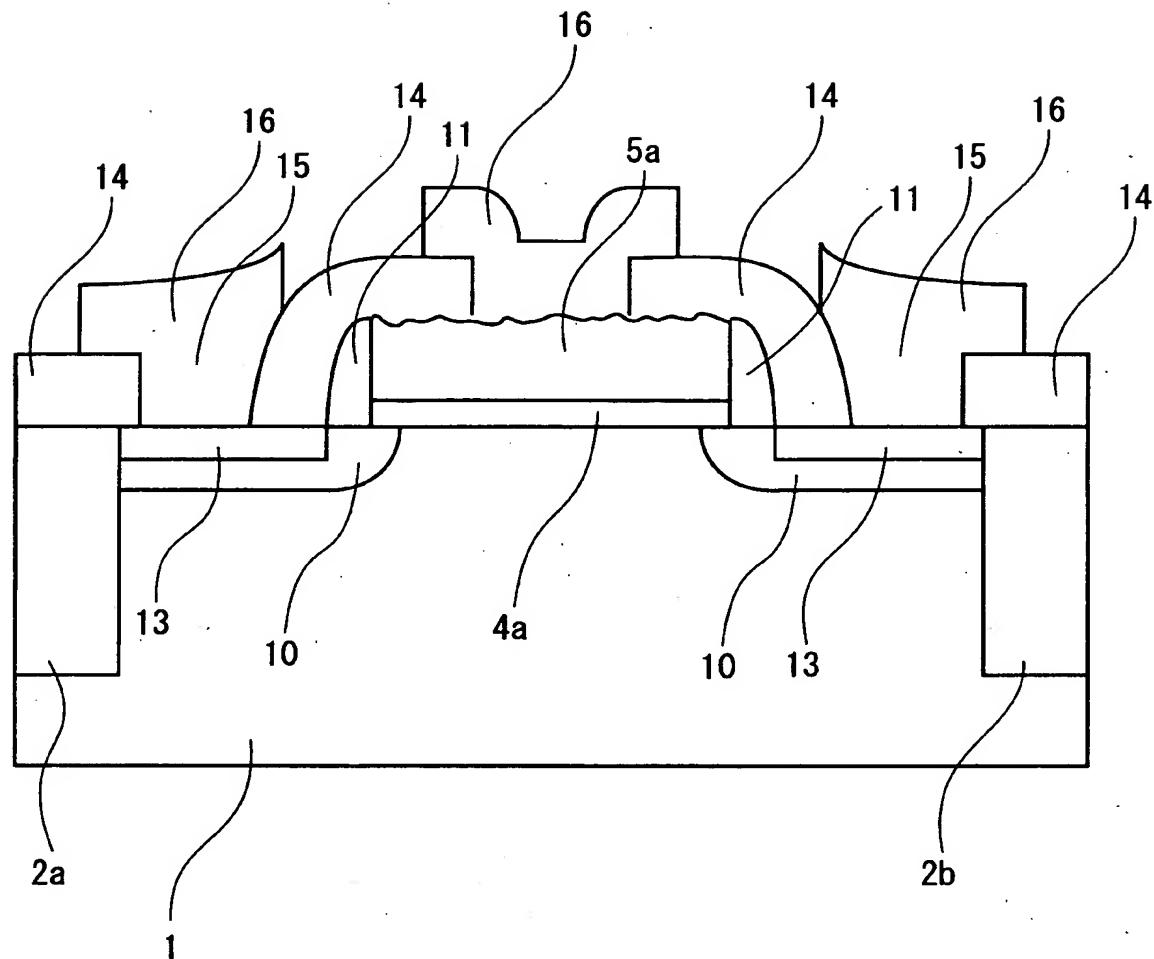
【符号の説明】

- 1 n型シリコン基板
- 2a, 2b 素子分離領域
- 4 酸化膜
- 4a ゲート絶縁膜
- 5 多結晶シリコン膜
- 5a ゲート電極
- 6 Fイオン
- 8 残存レジスト

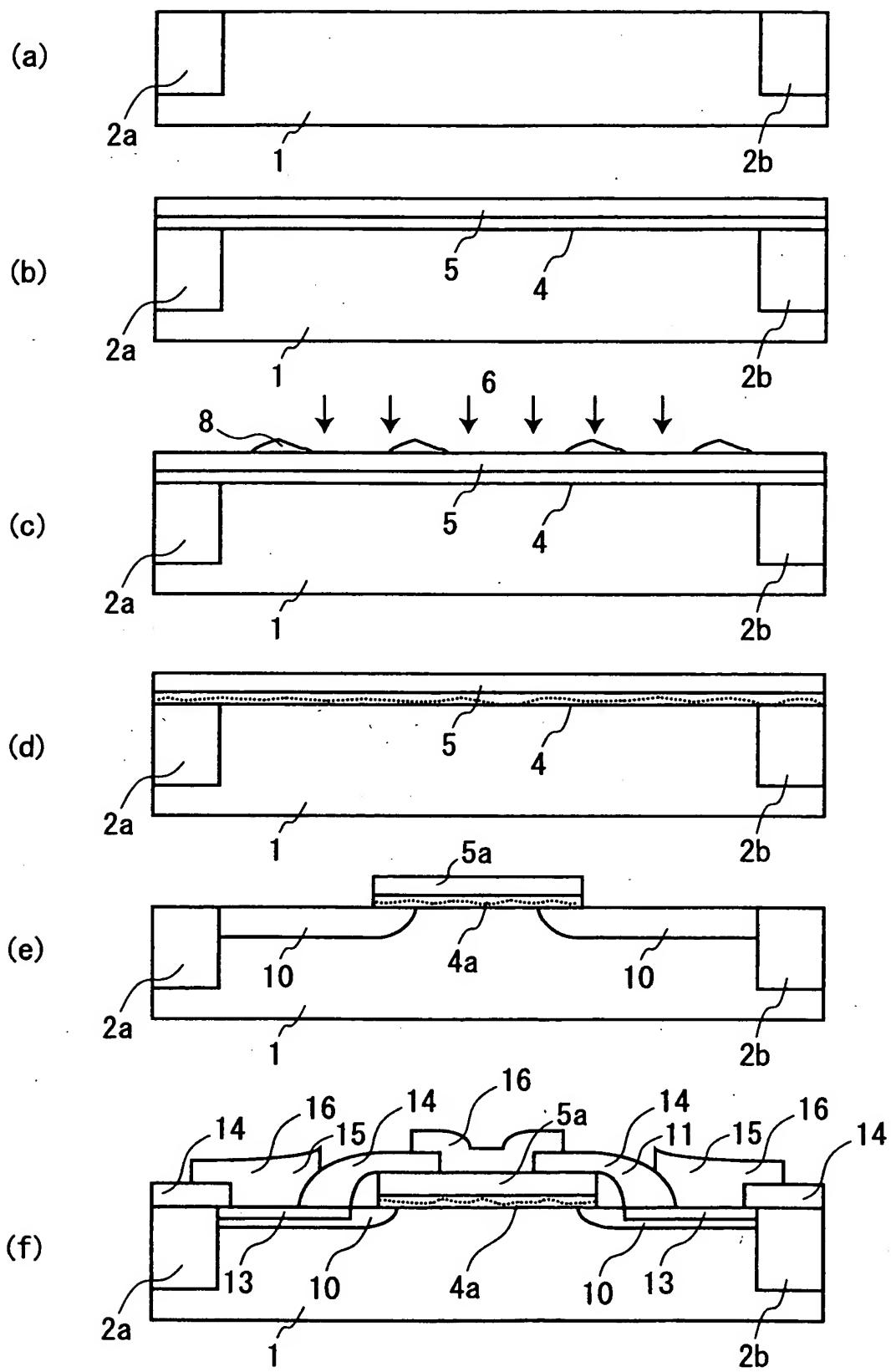
- 10 ソース・ドレイン拡散層
- 12 ゲート側壁
- 14 シリコン酸化膜
- 15 コンタクトホール
- 16 ソース・ドレイン電極

【書類名】 図面

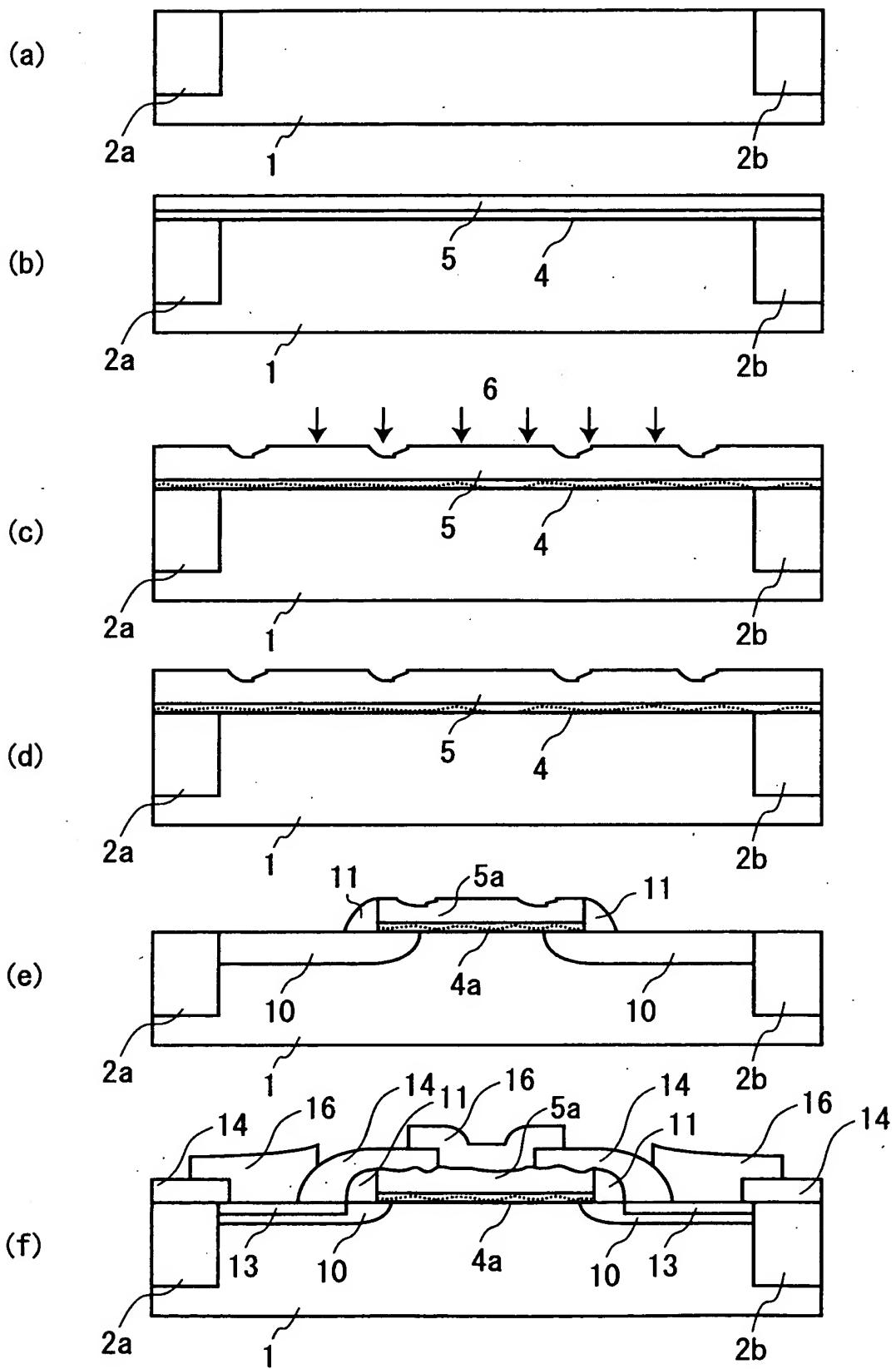
【図1】



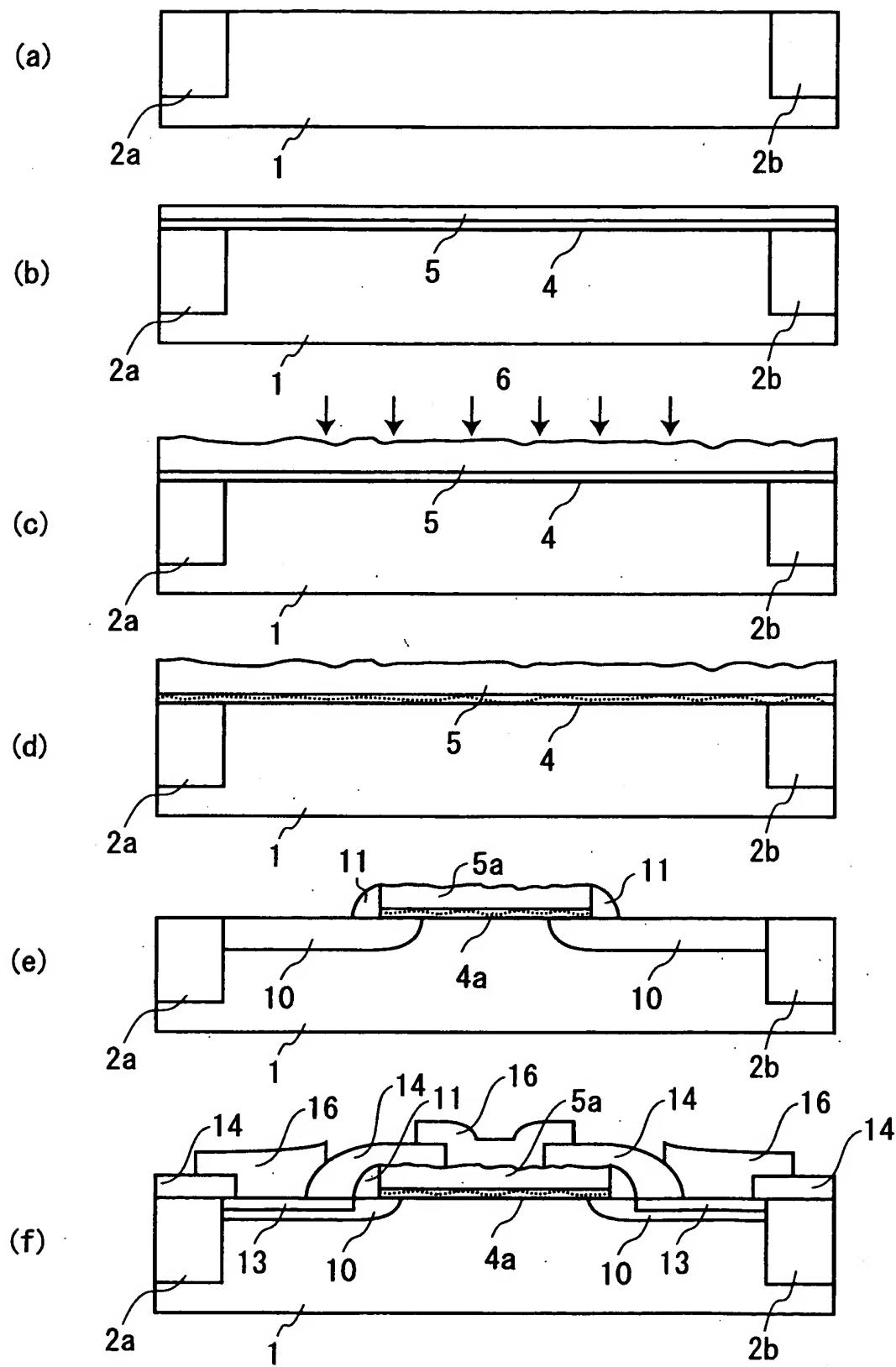
【図2】



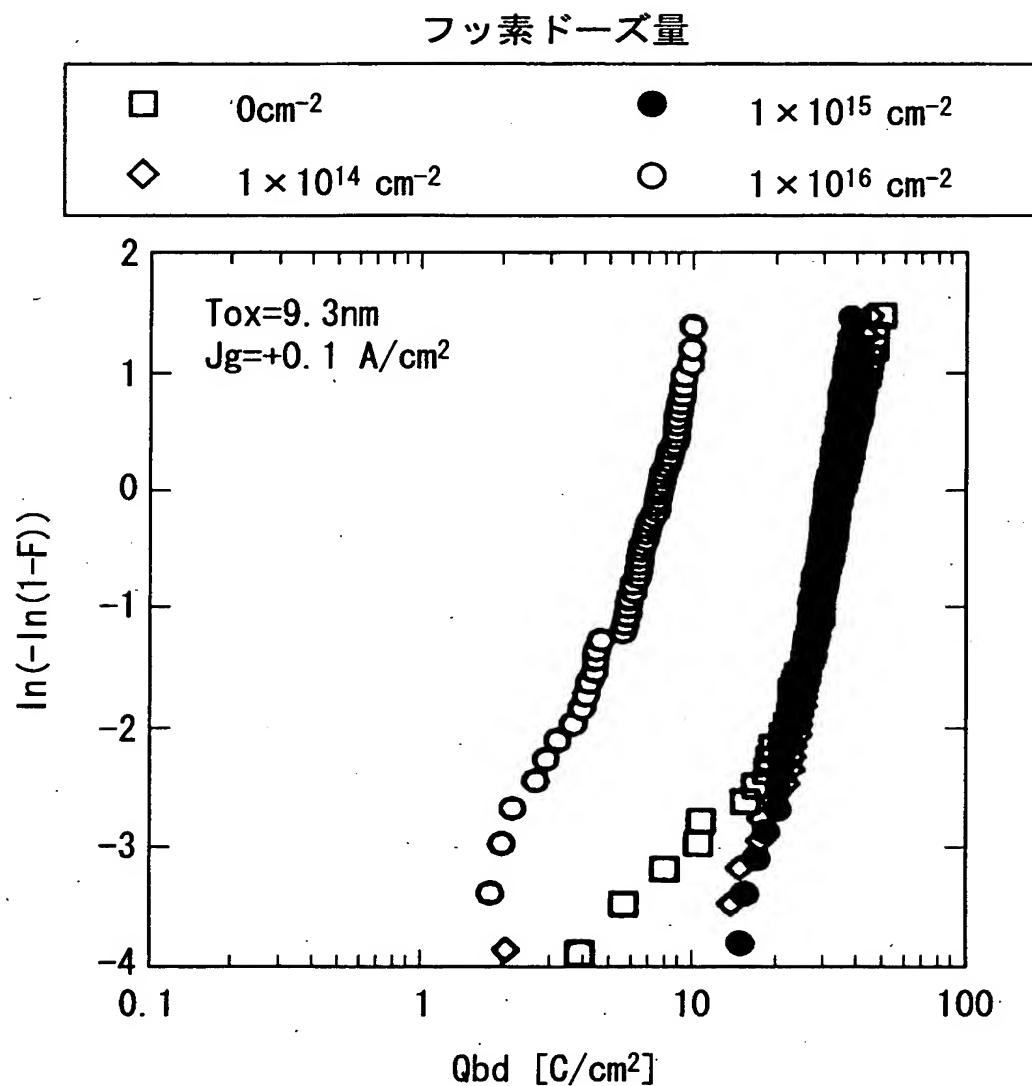
【図3】



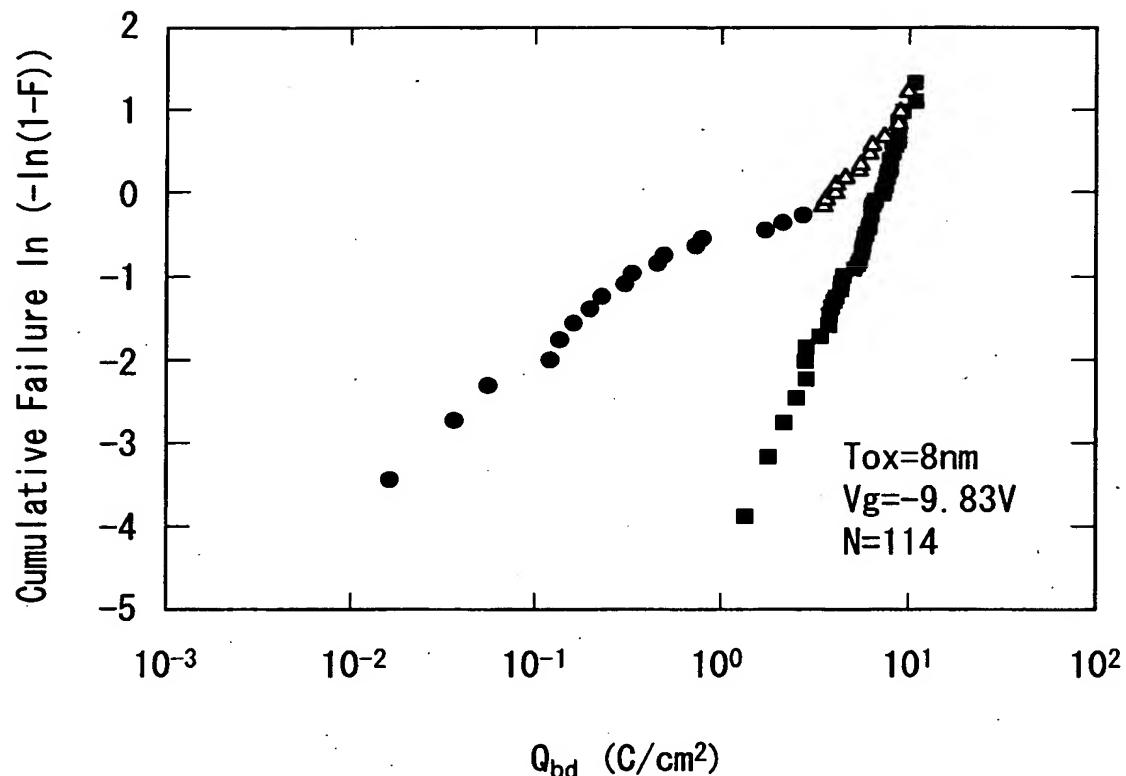
【図4】



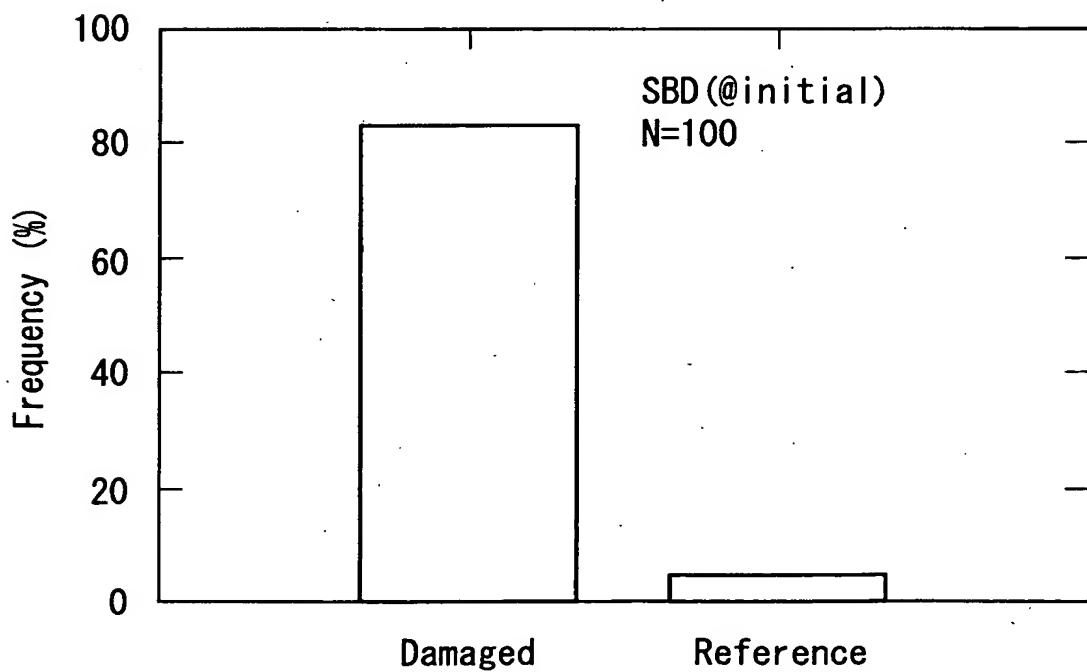
【図5】



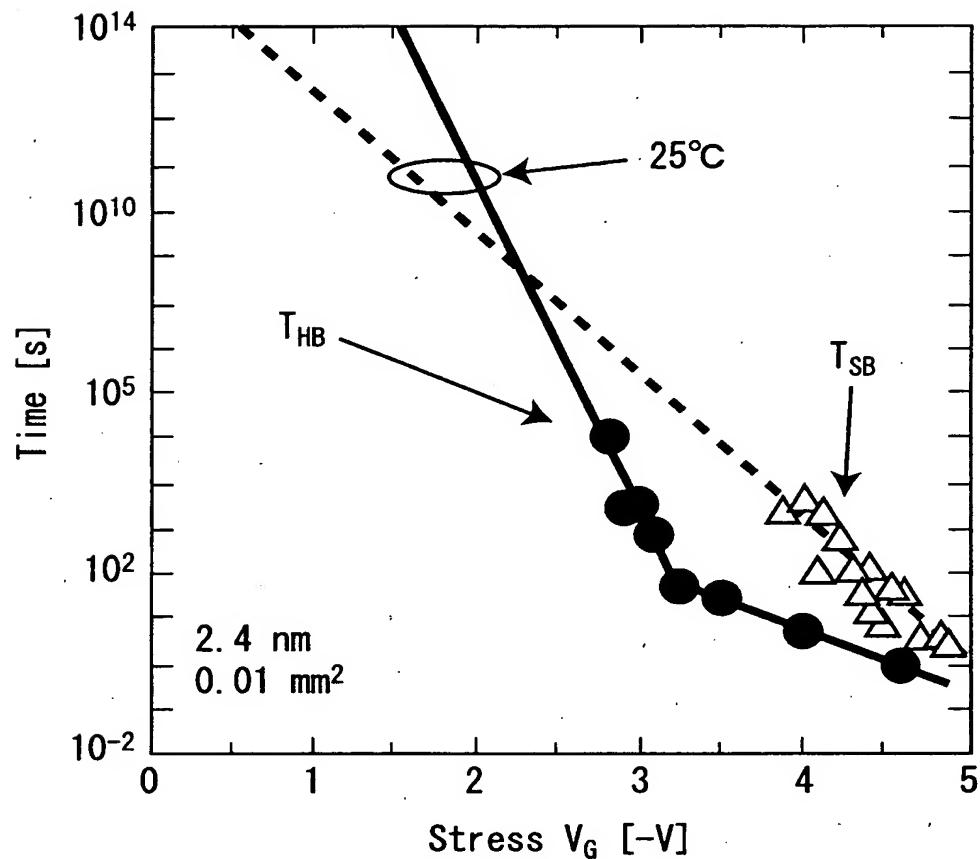
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜の絶縁破壊を擬似破壊に留め、ゲート絶縁膜の完全絶縁破壊寿命を伸張させることを可能にする。

【解決手段】 半導体基板の表面に形成されたチャネル領域と、このチャネル領域の両側の半導体基板に形成されたソース・ドレイン領域と、チャネル領域を覆うように形成された絶縁膜と、この絶縁膜上に形成されたゲート電極とを有する半導体装置において、絶縁膜に含まれたB、C、N、F、P、S、Cl、As、Se、Brのいずれかの原子濃度が半導体基板に平行な絶縁膜面内において不規則に変動されていることを特徴とする。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-282441
受付番号	50201449653
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 9月30日

<認定情報・付加情報>

【提出日】 平成14年 9月27日

次頁無

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝